

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-326893  
 (43)Date of publication of application : 10.12.1993

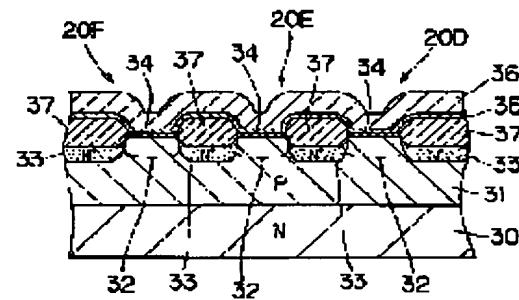
(51)Int.CI. H01L 27/115  
 H01L 29/788  
 H01L 29/792

(21)Application number : 04-132620 (71)Applicant : ROHM CO LTD  
 (22)Date of filing : 25.05.1992 (72)Inventor : SHIMOJI NORIYUKI

## (54) NON-VOLATILE MEMORY DEVICE

## (57)Abstract:

PURPOSE: To provide a non-volatile memory device which can be more enhanced in degree of integration. CONSTITUTION: MNOSFET 20E, 20H, and 2F where data are stored by trapping electrical charge by a trap film 35 are arranged in array, a word line is connected to the gate electrodes of MNOSFET 20D, 20E, and 2F, a bit line is connected a diffusion layer 33 which turns into source regions and drain regions at right angles with the word line, and an LOCOS oxide film 37 is interposed between the word line and the bit line.



## LEGAL STATUS

[Date of request for examination] 23.06.1998  
 [Date of sending the examiner's decision of rejection] 17.04.2001  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number] 3472313  
 [Date of registration] 12.09.2003  
 [Number of appeal against examiner's decision of rejection] 2001-08082  
 [Date of requesting appeal against examiner's decision of rejection] 16.05.2001  
 [Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-326893

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl.<sup>5</sup>  
H 01 L 27/115  
29/788  
29/792

識別記号

庁内整理番号

F I

技術表示箇所

8728-4M

H 01 L 27/10

4 3 4

29/78

3 7 1

審査請求 未請求 請求項の数1(全13頁)

(21)出願番号

特願平4-132620

(22)出願日

平成4年(1992)5月25日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 下地 規之

京都市右京区西院溝崎町21 ローム株式会  
社内

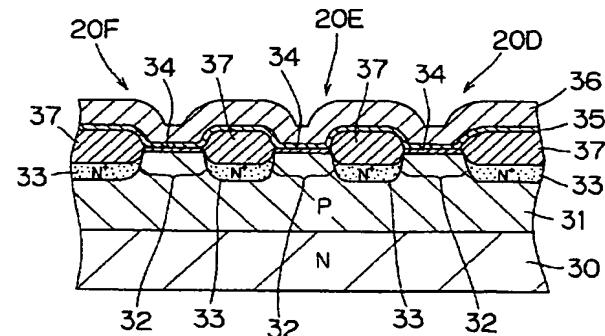
(74)代理人 弁理士 稲岡 耕作 (外2名)

(54)【発明の名称】 不揮発性記憶装置

(57)【要約】

【目的】さらなる高集積化を実現できる不揮発性記憶装置を提供する。

【構成】トラップ膜35に電荷を蓄積することにより情報を記憶するMNOSFET 20D, 20E, 20Fを、アレー状に配置し、各MNOSFET 20D, 20E, 20Fのゲート電極36にワードラインを接続し、ソース領域およびドレイン領域となる拡散層33に、ワードラインと直交するかたちでビットラインを接続し、ワードラインとビットラインの間に、両者間を絶縁するLOCOS酸化膜37を介在させている。



20D, 20E, 20F … MNOSFET

30 …シリコン基板

32 …チャネル領域

33 …拡散層

34 …トンネル酸化膜

35 …トラップ膜

36 …ゲート電極

37 …LOCOS酸化膜

## 【特許請求の範囲】

【請求項1】半導体基板に、チャネル領域と、チャネル領域を挟んでソース領域およびドレイン領域となる拡散層とが形成され、チャネル領域上に電荷を蓄積する電荷蓄積膜が形成され、電荷蓄積膜上にゲート電極が形成され、チャネル領域とドレイン領域との境界付近で発生する電荷を電荷蓄積膜に注入蓄積することにより情報を記憶する不揮発性記憶素子が、複数個アレー状に配列されており、

上記ゲート電極にワードラインが接続され、上記ソース領域およびドレイン領域となる拡散層に、ワードラインと直交するかたちでビットラインが接続され、

上記ワードラインとビットラインとの間に、当該両者間を絶縁する酸化膜が介在されていることを特徴とする不揮発性記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、チャネル領域とドレイン領域との境界付近で発生する電荷を蓄積することにより情報の記憶を行う不揮発性記憶装置に関する。

## 【0002】

【従来の技術】一般に、電源が切れたときにも記憶した情報を失われない不揮発性記憶装置（以下、不揮発性メモリという）には、電荷を半永久的に蓄積する不揮発性記憶素子（以下、不揮発性メモリ素子という）として、SAMOS (stacked gate avalanche injection MOS) 構造を有する電界効果トランジスタ（以下、FET:field effect transistorという）が使用されている。このSAMOS構造を有するFETの原理的構成を図30に示す。

【0003】SAMOS構造を有するFETは、図30の如く、シリコン基板1にチャネル領域2を挟んでソース領域3およびドレイン領域4が形成されており、チャネル領域2の上部に浮遊状態でフローティングゲート5およびコントロールゲート6が形成されている。なお、フローティングゲート5は、図示しない絶縁膜によって囲まれている。

【0004】そして、上記FETでは、ソース領域3およびコントロールゲート6に各所定の電圧を印加して、ドレイン領域4とチャネル領域2との境界で生じたホットエレクトロン(hot electron)をフローティングゲート5に注入させることにより、情報の書き込みが行われる。近年、半導体産業の発展に伴い、不揮発性メモリの集積化が要求されている。この要求に応えるためには、メモリセル回路の集積度を向上させることが考えられる。そこで、図31、32に示すような不揮発性メモリが提案されている。図31は不揮発性メモリの等価回路図、図32は同じくその斜視断面図である。

【0005】上記不揮発性メモリは、図31の如く、1

50

トランジスタ／1セル構造を有しており、SAMOS構造を有するFET10A, 10B, 10C, 10D, 10E, 10F, 10G, 10H, 10Iを有するメモリセル11A, 11B, 11C, 11D, 11E, 11F, 11G, 11H, 11Iが所定の容量（図においては9ビット）でマトリクス状に配列されている。

【0006】そして、FET10A, 10B, 10C, 10D, 10E, 10Fおよび10G, 10H, 10IのコントロールゲートにワードラインWL1, WL2, WL3がそれぞれ接続されており、ワードラインWL1, WL2, WL3毎に隣接するFET10A, 10B, 10C, 10D, 10E, 10Fおよび10G, 10H, 10Iのソースとドレインとが接続されている。

【0007】さらに、上記ソースドレイン接続中間点および両端のFET10A, 10C, 10D, 10Fおよび10G, 10Iのソース、ドレインにビットラインBL1, BL2, BL3, BL4がそれぞれ接続されている。また、この不揮発性メモリにおいては、図32の如く、2つのメモリセルで1つのコンタクトを共有し、かつドレイン／ソースの配線は隣接するメモリセルのソース領域およびドレイン領域を共有する埋め込み拡散層12を用いて行う、すなわち仮想グランドアレイとすることにより、高密度実装を図っている。

## 【0008】

【発明が解決しようとする課題】上記図31、32に示した不揮発性メモリにあっては、不揮発性メモリ素子として、SAMOS構造を有するFETを用いているため、フローティングゲートを絶縁膜で囲まなければならず、フローティングゲートを分離するための領域X（図32参照）が必要であり、この領域Xの大きさは、通常リソグラフィー技術で決まる。また、ドレイン領域とチャネル領域との境界と、フローティングゲートとの間でのホットエレクトロンの移動は、コントロールゲートとフローティングゲートとの間の容量と、フローティングゲートとソースドレインとの容量との比で決定される。

【0009】そこで、ドレイン領域とチャネル領域との境界と、フローティングゲートとの間でのホットエレクトロンの移動を良好とし、素子を低電圧駆動させるためには、コントロールゲートとフローティングゲートとの間の容量をかせぐために、フローティングゲートを大きくせざるを得なかった。そのため、どのようにリソグラフィー技術を駆使したとしても、フローティングゲートを分離するための領域Xを小さくするのに限界が生じ、さらなる高集積化が困難ないでいるのが実情であった。

【0010】また、SAMOS構造を有するFETは、フローティングゲートおよびコントロールゲートの2つのゲートを有しており、構造が複雑となるばかりか、各ゲートを形成するのに2つのプロセスを必要とし、製造工程も複雑となっている。本発明は、上記に鑑み、さら

3

なる高集積化を実現でき、しかも構造が簡単で製造工程を簡略化し得る不揮発性記憶装置の提供を目的とする。

【0011】

【課題を解決するための手段】本発明による課題解決手段は、半導体基板に、チャネル領域と、チャネル領域を挟んでソース領域およびドレイン領域となる拡散層とが形成され、チャネル領域上に電荷を蓄積する電荷蓄積膜が形成され、電荷蓄積膜上にゲート電極が形成され、チャネル領域とドレイン領域との境界付近で発生する電荷を電荷蓄積膜に注入蓄積することにより情報を記憶する不揮発性記憶素子が、複数個アレー状に配列されており、上記ゲート電極にワードラインが接続され、上記ソース領域およびドレイン領域となる拡散層に、ワードラインと直交するかたちでビットラインが接続され、上記ワードラインとビットラインとの間に、当該両者間を絶縁する酸化膜が介在されているものである。

【0012】

【作用】上記課題解決手段において、電荷蓄積膜にて電荷を蓄積することができるから、選択酸化膜によりワードライン-ビットライン間を絶縁するだけでよく、従来必要であったフローティングゲートとコントロールゲートとのオーバーラップ領域を無くして、素子の微細化を図ることができる。また、構造が簡単となるばかりか、ゲート形成するのに1プロセスで済むので、製造工程が簡略化され、ひいては製造コストの低廉化にもつながる。

【0013】

【実施例】以下、本発明の第1実施例を図1ないし図8に基づいて詳述する。本実施例では、電荷を半永久的に蓄積する不揮発性記憶素子（以下、不揮発性メモリ素子という）を、MOS型の電界効果トランジスタ（以下、FET:field effect transistorという）とし、この不揮発性メモリ素子を用いた不揮発性記憶装置（以下、不揮発性メモリという）について述べる。

【0014】不揮発性メモリの構造について、図1ないし図5を参照しつつ説明する。図1は本発明第1実施例に係る不揮発性メモリの一部を示す平面図、図2は図1のA-A断面図、図3は図1のB-B断面図、図4は図1のC-C断面図、図5は図1のD-D断面図である。本実施例の不揮発性メモリは、図1の如く、MOSFET 20A, 20B, 20C, 20D, 20E, 20F, 20G, 20H, 20Iを不揮発性メモリ素子とするメモリセル21A, 21B, 21C, 21D, 21E, 21F, 21G, 21H, 21Iが所定の容量（図において9ビット）でマトリクス状に配列されており、各メモリセル21A, 21B, 21C, 21D, 21E, 21F, 21G, 21H, 21Iには、後述するように、ワードラインWL1, WL2, WL3、ビットラインBL1, BL2, BL3, BL4が互いに直交するかたちでそれぞれ接続されている。なお、以後の説明に

4

おいて、MOSFET 20A, 20B, 20C, 20D, 20E, 20F, 20G, 20H, 20Iを総称するときは「MOSFET 20」という。

【0015】不揮発性メモリ素子としてのMOSFET 20は、図2ないし図5の如く、比抵抗  $\rho$  : 5~6  $\Omega$  / cm程度、面方位 (100) を有するN型シリコン基板30上にPウェル31が形成され、Pウェル31に、ヒ素イオン等を打ち込み、チャネル領域32を挟んでソース領域およびドレイン領域となるN<sup>+</sup>型拡散層33が形成され、チャネル領域32上に酸化シリコンからなるトンネル酸化膜34が形成され、トンネル酸化膜34上に電荷を蓄積する窒化シリコンからなる電荷蓄積膜（以下、トラップ膜という）35が形成され、トラップ膜35にポリシリコンからなるゲート電極36が形成されている。

【0016】ソース領域およびドレイン領域となる拡散層33は、図2の如く、図1に示すビットラインBL1, BL2, BL3, BL4に沿って長く設けられており、拡散層33直上部に、図4、5の如く、ワードラインWL1, WL2, WL3-ビットラインBL1, BL2, BL3, BL4間を絶縁すべく、LOCOS (local oxidation of silicon) 法にてトンネル酸化膜34よりも膜厚を厚く形成した選択酸化膜（以下、LOCOS酸化膜という）37が、トンネル酸化膜34に接続した状態で配置されている。そして、LOCOS酸化膜37は、図2の如く、拡散層33と同様に、ビットラインBL1, BL2, BL3, BL4に沿って長く設けられている。

【0017】トラップ膜35は、図4、5の如く、トンネル酸化膜34上のみならずLOCOS酸化膜37上にも積層されており、図2の如く、拡散層33と同様に、ビットラインBL1, BL2, BL3, BL4に沿って長く設けられている。ゲート電極36は、図4の如く、図1に示す各ワードラインWL1, WL2, WL3に沿ったメモリセル21A, 21B, 21C, 21D, 21E, 21Fおよび21G, 21H, 21Iで共有している。

【0018】また、MOSFET 20間は、図3および図5の如く、図1に示すアクティブ領域Yにホウ素イオン等を打ち込んで形成された分離P<sup>+</sup>層38によって素子分離されている。上記不揮発性メモリの電気的構成について、図6を参照しつつ説明する。図6は不揮発性メモリの等価回路図である。

【0019】図6の如く、MOSFET 20A, 20B, 20C, 20D, 20E, 20Fおよび20G, 20H, 20IのゲートにワードラインWL1, WL2, WL3がそれぞれ接続されており、ワードラインWL1, WL2, WL3毎に隣接するMOSFET 20A, 20B, 20C, 20D, 20E, 20Fおよび20G, 20H, 20Iのソースとドレインとが接続され

ている。

【0020】また、上記ソースドレイン接続中間点および両端のMNOSFET 20A, 20C, 20D, 20Fおよび20G, 20Iのソース、ドレインにビットラインBL1, BL2, BL3, BL4がそれぞれ接続されている。すなわち、上記不揮発性メモリは、図4ないし図6に示すように、隣接するMNOSFET同士のソース領域およびドレイン領域を共有させて、仮想グランドアレイとされている。

【0021】さらに、図6を用いて、不揮発性メモリの情報の書き込み、消去、読み出し動作について説明する。

＜書き込み＞メモリセル21Eに情報を書き込む場合を考える。メモリセル21Eが接続されているワードラインWL2に対して第1の電圧 $+V_{pp}(1)$ （例えば、9V）を印加し、当該メモリセル21Eを選択するため、メモリセル21E内のMNOSFET 20Eのドレインに接続されているビットラインBL2に対して第2の電圧 $V_{pp}(2)$ （例えば、10V）を印加し、MNOSFET 20Eのソースに接続されているビットラインBL3をGNDに接地すると、後述するMNOSFET 20の動作原理により、ホットエレクトロン(hot electron)がトラップ膜に注入され蓄積され、メモリセル21Eに情報が書き込まれる。

【0022】このとき、メモリセル21Eが接続されていないワードラインW1, W3をGNDに接地し、ビットラインBL1, BL4をオープン状態とすると、他のメモリセルには電流が流れず、情報の書き込みは行われない。また、メモリセル21Dに情報を書き込む場合には、ワードラインWL2に対して $+V_{pp}(1)$ を、ビットラインBL1に対して $V_{pp}(2)$ をそれぞれ印加し、ビットラインBL2をGNDに接地すると共に、ワードラインWL1, WL3をGNDに接地し、ビットラインBL3, BL4をオープン状態とすれば、メモリセル21Dに情報が書き込まれる。

【0023】なお、上記書き込み時において、オープン状態としたビットラインが、 $V_{pp}(2)$ かGNDレベルになるが、書き込みのスピードが気になるなら、予めオープン状態とするビットラインに対して $V_{pp}(2)$ を印加するかGNDに接地しておけばよい。すなわち、選択セル内のMNOSFETのゲートに $+V_{pp}(1)$ を、ドレインに $V_{pp}(2)$ をそれぞれ印加し、ソースおよびウェルをGNDに接地すると共に、同一のメモリマトリクス回路における、ソース側のすべてのビットラインに $+V_{pp}(1)$ を、ドレイン側のすべてのビットラインに $V_{pp}(2)$ をそれぞれ印加するようにすれば、書き込み速度が速くなる。

＜消去＞消去は、書き込み時にドレインにしたビットラインに $V_{pp}(2)$ を、ワードラインに $-V_{pp}(1)$ （例えば、-6V程度）をそれぞれ印加すると、後述するよう

に、ホール(hole)がトラップ膜に注入され蓄積され、情報が消去される。

＜読み出し＞メモリセル21Eに記憶されている情報を読み出す場合を考える。メモリセル21Eが接続されているワードラインWL2に対して第1の電圧 $V_{pp}(1)$

（センス電圧）を印加し、メモリセル21E内のMNOSFET 20Eのドレインに接続されているビットラインBL2をGNDに接地し、MNOSFET 20Eのソースに接続されているビットラインBL3に対して負荷（図示せず）を介して第2の電圧 $V_{pp}(2)$ （例えば、2V程度）を印加すると共に、他のワードラインWL1, WL3をGNDに接地し、ビットラインBL1, BL4をオープン状態とする。

【0024】このとき、メモリセル21Eに情報が書き込まれておれば、MNOSFET 20Eは非導通状態となり、メモリセル21Eに情報が書き込まれていなければ、MNOSFET 20Eは導通状態となる。このMNOSFET 20Eの導通、非導通でビットラインBL3の電位が変わるので、ビットラインBL3の電位を検出することで、メモリセル21Eに記憶されている情報が読み出される。

【0025】またこのとき、 $V_{pp}(2)$ を、書き込み時にソースにしたビットライン側に印加し、書き込み時にソースにしたビットライン側をGNDに接地すると、MNOSFET 20のしきい値電圧 $V_{th}$ の変化を大きく取ることができ、読み出しの安定化を図ることができる。上記不揮発性メモリの製造方法について、図9ないし図18を参照しつつ工程順に説明する。図9は拡散層形成後の状態を示す平面図、図10は図9のE-E断面図である。

図11はLOCOS酸化膜形成後の状態を示す平面図、図12は図11のG-G断面図である。図13はトンネル酸化膜、トラップ膜およびゲート電極形成後の状態を示す断面図である。図14はゲート電極パターニング後の状態を示す平面図、図15は図14のH-H断面図、図16は図14のI-I断面図、図17は図14のJ-J断面図である。図18は素子分離後の状態を示す断面図である。

【0026】図9、10の工程においては、N型シリコン基板30に対して50keVでホウ素イオン等を $2 \times 10^{13} \text{ cm}^{-2}$ 程度打ち込んで、シリコン基板30上にPウェル31を形成する。そして、熱酸化法により、Pウェル31上に酸化シリコン膜40を例えば50nm程度成長させ、さらにLPCVD (low pressure chemical vapor deposition)法により、酸化シリコン膜40上に窒化シリコン膜41を例えば150nm程度堆積させる。その後、酸化シリコン膜40をストライプ状にパターニングし、この窒化シリコン膜41をマスクとして、Pウェル31に対して100keVでヒ素イオン等を $5 \times 10^{15} \text{ cm}^{-2}$ 程度打ち込んで、Pウェル31にチャネル領域32を挟んでソース領域およびドレイン領域となるN

7  
\* 拡散層33を形成する。

【0027】図11、12の工程においては、ウェット雰囲気での水蒸気酸化により、拡散層33の直上部の酸化シリコン膜40を例えば600nm成長させてLOCOS酸化膜37を形成する。そして、ウェットエッチングにより、窒化シリコン膜41、酸化シリコン膜40を除去する。なお、ウェットエッチングの際には、窒化シリコン膜41に対してはホットリン酸、酸化シリコン膜40に対してはフッ酸を使用するのが好ましい。

【0028】図13の工程においては、図11、12の工程で露出させたPウェル31の表面を再度酸化して、チャネル領域32上に、例えば膜厚10nmをもってトンネル酸化膜34をLOCOS酸化膜37に接続させて形成する。次いで、窒化シリコンを例えば30nm、ポリシリコンを例えば400nm順次堆積させて、トラップ膜35、ゲート電極36を形成する。なお、ポリシリコンには、抵抗をさげるためにリンをドープしておくのが好ましい。

【0029】図14ないし図17の工程においては、ゲート電極36を、図11、12の工程で形成したLOCOS酸化膜37と直交させてストライプ状にパターニングする。図18の工程においては、図14ないし図17の工程でパターニングされたゲート電極36と、LOCOS酸化膜37とをマスクとして、図14に示すアクティブ領域Yに、50keVでホウ素イオン等を $2 \times 10^{13} \text{ cm}^{-2}$ 打ち込んで分離P<sup>+</sup>層38を形成し、素子分離を行う。

【0030】その後、図示しないが、層間絶縁膜を堆積させた後、メモリマトリクス周辺部から所定位置にコンタクトホールを開口し、Al-Si等の金属配線を行う。次に、上記MOSFET20の動作原理について、図7、8を参照しつつ説明する。図7はMOSFETの動作原理の説明図、図8は書き込み、消去によるMOSFETのしきい値電圧の変化を示す図である。なお、図7中、33aはソース領域、33bはドレイン領域を示しており、図8においては縦軸にドレイン電流I<sub>D</sub>、横軸にゲート電圧V<sub>G</sub>をとっている。

【0031】書き込みに際し、ゲート電極36に高電圧を印加すると、図7の如く、ドレイン領域33b付近にホットエレクトロンが発生し、このホットエレクトロンがトンネル効果によりトンネル酸化膜34をトンネリングしてトラップ膜35に注入され蓄積される。そうすると、MOSFET20は、しきい値電圧V<sub>th</sub>を、図8に示すT<sub>1</sub>のように+方向にシフトさせる。

【0032】一方、消去に際し、ゲート電極36に書き込み時と逆の電界を印加すると、ドレイン領域33b付近にホールが発生し、このホールがトンネル効果によりトンネル酸化膜34をトンネリングしてトラップ膜35に注入され蓄積される。そうすると、MOSFET20は、しきい値電圧V<sub>th</sub>を、図8に示すT<sub>2</sub>のように-

方向にシフトさせる。

【0033】このとき、しきい値電圧V<sub>th</sub>の変動は、ドレイン領域33bの近傍のみであるので、ソース領域33a近傍およびチャネル領域32の中央部を、ゲート電圧V<sub>G</sub>が0Vのときには電流が流れないエンハンスメント(enhancement)形にすれば、MOSFET20が、ゲート電圧V<sub>G</sub>が0Vのときでもソースードレイン間に電流経路が形成され、ドレイン電流が流れるといった、いわゆるデプレッショントランジスタ(depletion transistor)になることはない。

【0034】上記のように、不揮発性メモリ素子は、チャネル領域32上にトンネル酸化膜34が形成され、トンネル酸化膜34上にトラップ膜35が形成され、トラップ膜35上にゲート電極36が形成されているので、従来のようにフローティングゲートがなくとも、トラップ膜35にて電荷を蓄積することができる。このように、フローティングゲートを排除しても電荷を蓄積することができるから、LOCOS酸化膜37によりワードラインービットライン間を絶縁するだけでよく、従来必要であったフローティングゲートとコントロールゲートとのオーバーラップ領域を無くして、素子の微細化を図ることができる。また、構造が簡単となるばかりか、ゲート形成するのに1プロセスで済むので、製造工程が簡略化され、ひいては製造コストの低廉化にもつながる。

【0035】また、ソース領域およびドレイン領域となる拡散層33直上部にLOCOS酸化膜37を配置して、1素子当たりに占める拡散層33の領域を減少させることができ、素子の高集積化に貢献する。また、拡散層33の不純物濃度を濃くすることにより、ソースードレイン間で電荷が発生しやすくなり、素子に占めるゲート電極36の容量を小さくしても、情報の記憶に必要な充分な電荷を発生させることができる。これに伴い、チャネル領域32を小さくでき、さらなる素子の高集積化に寄与する。

【0036】次に、本発明の第2実施例を図19ないし図29に基づいて詳述する。本実施例の不揮発性メモリの構造について、図19を参照しつつ説明する。図19は本発明第2実施例の不揮発性メモリの要部拡大断面図である。本実施例の不揮発性メモリは、図19の如く、トラップ膜35上に第1のゲート電極50が形成され、トラップ膜35上に、ワードラインに沿った各メモリセルで共有される第2のゲート電極51が形成され、第1のゲート電極50と第2のゲート電極51との間には、酸化シリコンからなる層間絶縁膜53が介在されている。その他の構成は、第1実施例とほぼ同様である。

【0037】上記不揮発性メモリの製造方法について、図20ないし図29を参照しつつ工程順に説明する。図20はLOCOS酸化膜形成後の状態を示す平面図、図21は図20のK-K断面図である。図22はトラップ膜および第1のゲート電極形成後の状態を示す平面図、

9  
 図23は図21のL-L断面図、図24は図21のM-M断面図、図25は図21のN-N断面図である。図26、27は拡散層形成後の状態を示す断面図であって、図26は図21のL-L断面図、図27は図21のM-M断面図である。図28は層間絶縁膜および第2の電極形成後の状態を示す平面図、図29は図28のO-O断面図である。

【0038】図20、21の工程においては、N型シリコン基板30上にPウェル31を形成した後、LOCOS酸化膜37を島状に形成する。図22ないし図25の工程においては、全面にトンネル酸化膜34、トラップ膜35を順次積層した後、列毎に隣合うLOCOS酸化膜37間に第1のゲート電極50を形成する。

【0039】図26、27の工程においては、Pウェル31の所定のアクティブ領域にヒ素イオン等を打ち込んで、チャネル領域を挟んでソース領域およびドレイン領域となるN<sup>+</sup>型拡散層33を形成する。図28、29の工程においては、全面に層間絶縁膜53を積層し、各第1のゲート電極50上にコンタクトホールを設ける。そして、コンタクトホールを通じて第1のゲート電極50と接続するよう、ワードラインに沿って第2のゲート電極51をストライプ状に形成する。

【0040】上記不揮発性メモリにあっても、第1実施例と同様の作用、効果を得ることができる。なお、本発明は上記実施例に限定されるものではなく、本発明の範囲内で多くの修正および変更を加え得ることは勿論である。上記実施例においては、チャネル領域上にNO(nitride-oxide)構造を有する例について記載したが、トンネル酸化膜を排除して、チャネル領域上にONO(oxide-nitride-oxide)構造を有する構成としてもよい。

【0041】

【発明の効果】以上の説明から明らかな通り、本発明によると、電荷蓄積膜にて電荷を蓄積することができるから、選択酸化膜によりワードライン-ビットライン間を絶縁するだけではなく、従来必要であったフローティングゲートとコントロールゲートとのオーバーラップ領域を無くして、素子の微細化を図ることができる。また、構造が簡単となるばかりか、ゲート形成するのに1プロセスで済むので、製造工程が簡略化され、ひいては製造コストの低廉化にもつながる。

【図面の簡単な説明】

【図1】本発明第1実施例に係る不揮発性記憶装置の一部を示す平面図である。

【図2】図1のA-A断面図である。

【図3】図1のB-B断面図である。

【図4】図1のC-C断面図である。

【図5】図1のD-D断面図である。

【図6】不揮発性記憶装置の等価回路図である。

【図7】不揮発性記憶素子の動作原理の説明図である。

【図8】書き込み、消去による不揮発性記憶素子のしき

い値電圧の変化を示す図である。

【図9】拡散層形成後の状態を示す平面図である。

【図10】図9のE-E断面図である。

【図11】選択酸化膜形成後の状態を示す平面図である。

【図12】図11のG-G断面図である。

【図13】トンネル酸化膜、トラップ膜およびゲート電極形成後の状態を示す断面図である。

【図14】ゲート電極バーニング後の状態を示す平面図である。

【図15】図14のH-H断面図である。

【図16】図14のI-I断面図である。

【図17】図14のJ-J断面図である。

【図18】素子分離後の状態を示す断面図である。

【図19】本発明第2実施例の不揮発性メモリの要部拡大断面図である。

【図20】選択酸化膜形成後の状態を示す平面図である。

【図21】図20のK-K断面図である。

【図22】トラップ膜および第1のゲート電極形成後の状態を示す平面図である。

【図23】図22のL-L断面図である。

【図24】図22のM-M断面図である。

【図25】図22のN-N断面図である。

【図26】拡散層形成後の状態を示す図22のL-L断面図である。

【図27】拡散層形成後の状態を示す図22のM-M断面図である。

【図28】層間絶縁膜および第2の電極形成後の状態を示す平面図である。

【図29】素子分離後の状態を示す図28のO-O断面図である。

【図30】従来の不揮発性記憶素子の原理的構成を示す図である。

【図31】図30の不揮発性記憶素子を利用した不揮発性記憶装置の等価回路図である。

【図32】同じくその斜視断面図である。

【符号の説明】

20, 20A, 20B, 20C, 20D, 20E, 20F, 20G, 20H, 20I MNOSFET

30 シリコン基板

32 チャネル領域

33 拡散層

33a ソース領域

33b ドレイン領域

34 トンネル酸化膜

35 トラップ膜

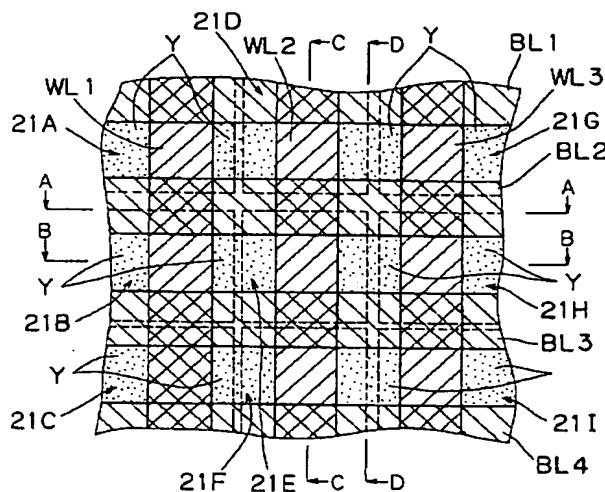
36 ゲート電極

37 LOCOS酸化膜

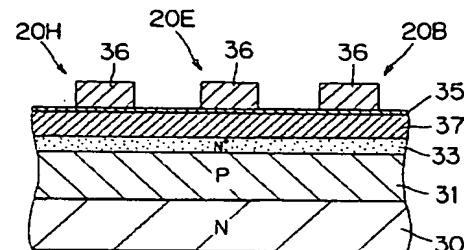
50 第1のゲート電極

## 5.1 第2のゲート電極

【図1】



【図2】



20B, 20E, 20H … MNOSFET

30 … シリコン基板

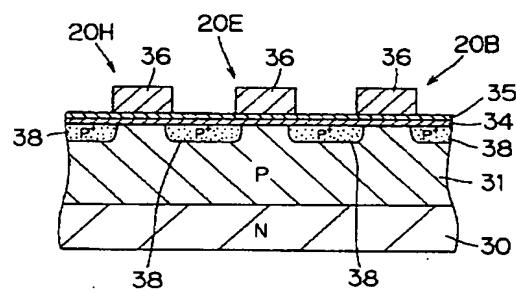
33 … 拡散層

35 … トランプ膜

36 … ゲート電極

37 … LOCOS酸化膜

【図3】



20B, 20E, 20H … MNOSFET

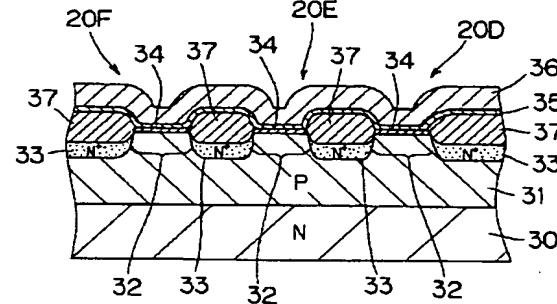
30 … シリコン基板

34 … トンネル酸化膜

35 … トランプ膜

36 … ゲート電極

【図4】



20D, 20E, 20F … MNOSFET

30 … シリコン基板

32 … チャネル領域

33 … 拡散層

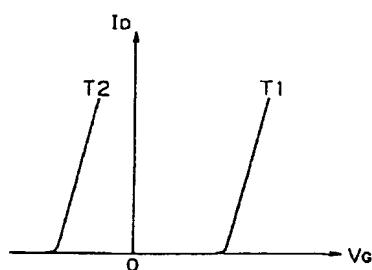
34 … トンネル酸化膜

35 … トランプ膜

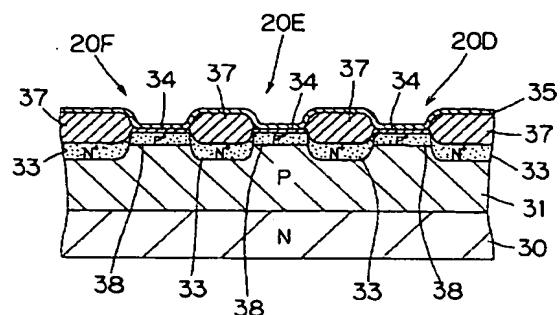
36 … ゲート電極

37 … LOCOS酸化膜

【図8】

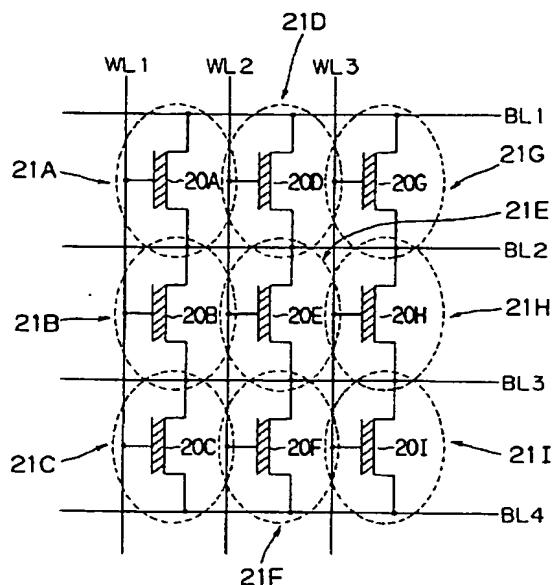


【図5】



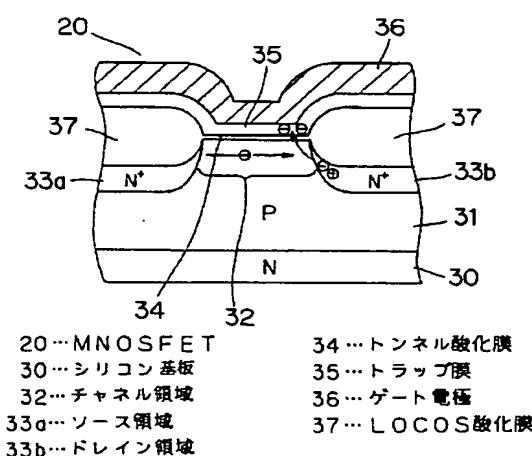
20D, 20E, 20F … MNOSFET  
30 … シリコン基板  
33 … 拡散層  
34 … トンネル酸化膜  
35 … ト ラッブ膜  
37 … LOCOS酸化膜

【図6】



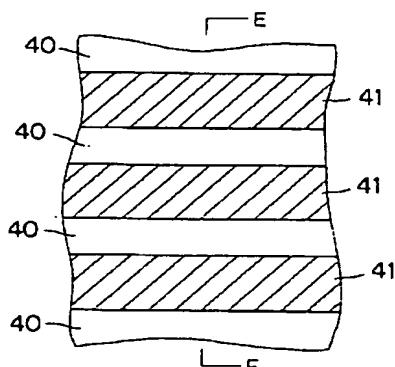
20A, 20B, 20C, 20D, 20E  
20F, 20G, 20H, 20I … MNOSFET

【図7】

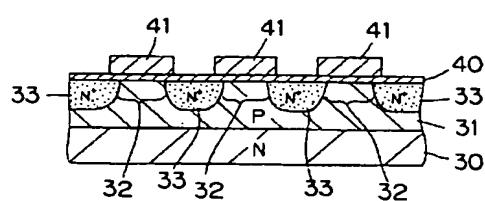


20 … MNOSFET  
30 … シリコン基板  
32 … チャネル領域  
33a … ソース領域  
33b … ドレイン領域  
34 … トンネル酸化膜  
35 … ト ラッブ膜  
36 … ゲート電極  
37 … LOCOS酸化膜

【図9】

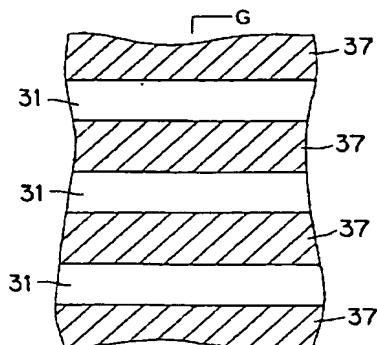


【図10】



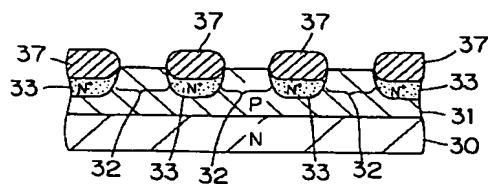
30 … シリコン基板  
32 … チャネル領域  
33 … 拡散層

【図11】



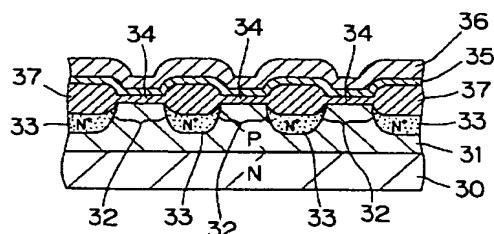
37…LOCOS酸化膜

【図12】

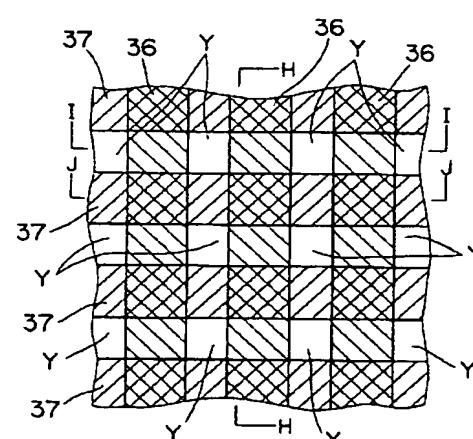


30…シリコン基板  
32…チャネル領域  
33…拡散層  
37…LOCOS酸化膜

【図13】

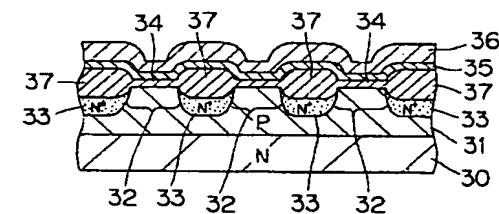


30…シリコン基板  
32…チャネル領域  
33…拡散層  
34…トンネル酸化膜  
35…トラップ膜  
36…ゲート電極  
37…LOCOS酸化膜



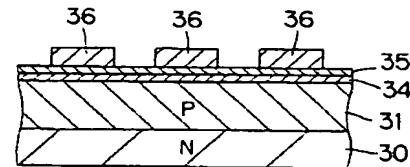
36…ゲート電極  
37…LOCOS酸化膜

【図15】



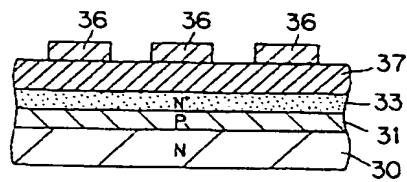
30…シリコン基板  
32…チャネル領域  
33…拡散層  
34…トンネル酸化膜  
35…トラップ膜  
36…ゲート電極  
37…LOCOS酸化膜

【図16】



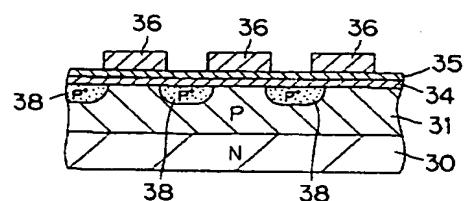
30…シリコン基板  
34…トンネル酸化膜  
35…トラップ膜  
36…ゲート電極

【図17】



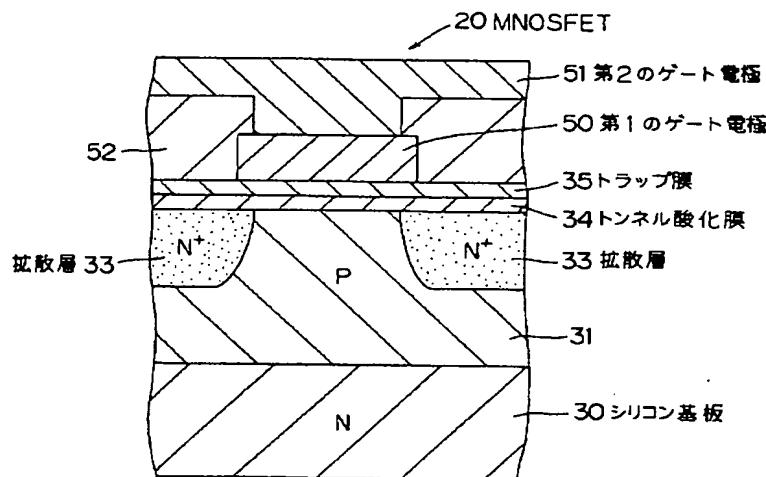
30 … シリコン基板  
33 … 拡散層  
36 … ゲート電極  
37 … LOCOS酸化膜

【図18】

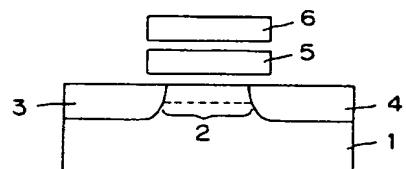


30 … シリコン基板  
34 … トンネル酸化膜  
35 … トラップ膜  
36 … ゲート電極

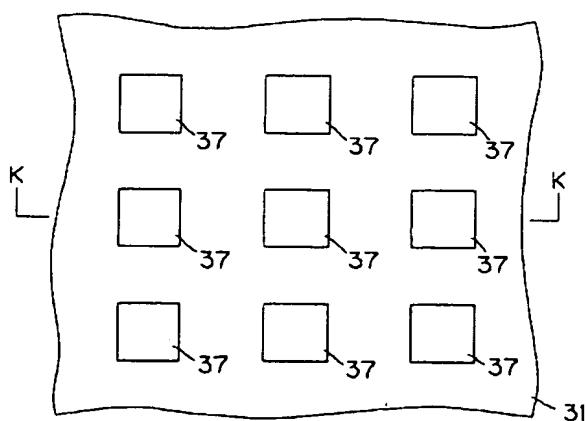
【図19】



【図30】

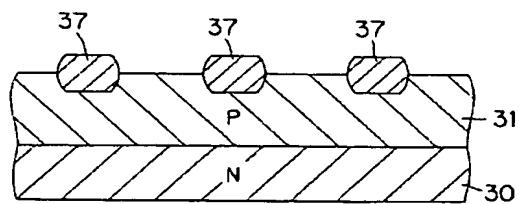


【図20】



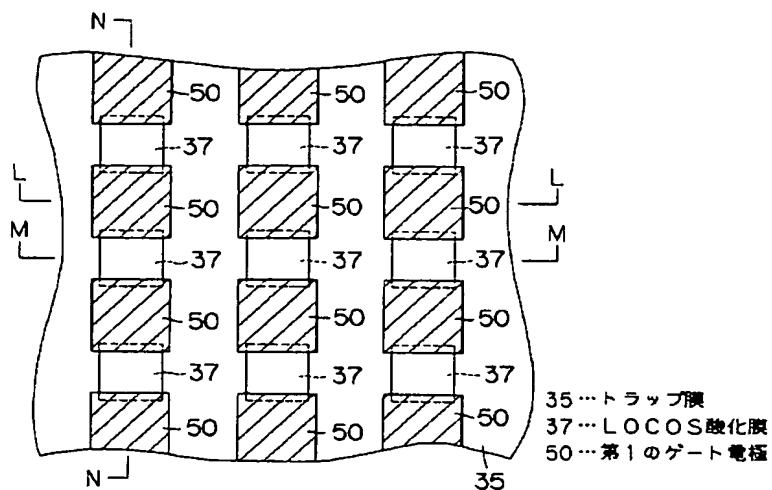
37 … LOCOS酸化膜

【図21】

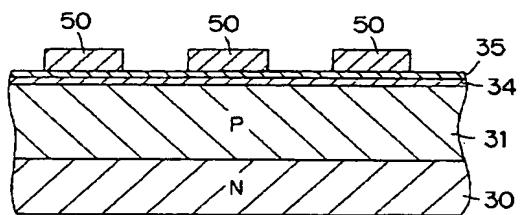


30 … シリコン基板  
37 … LOCOS酸化膜

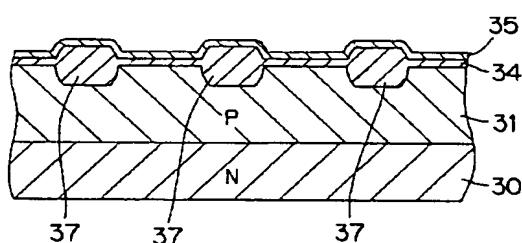
【図22】



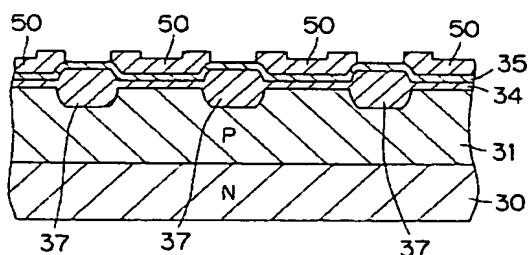
【図23】



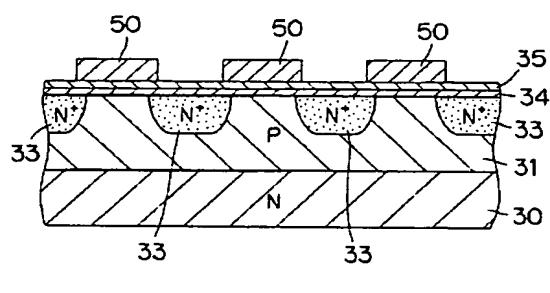
【図24】



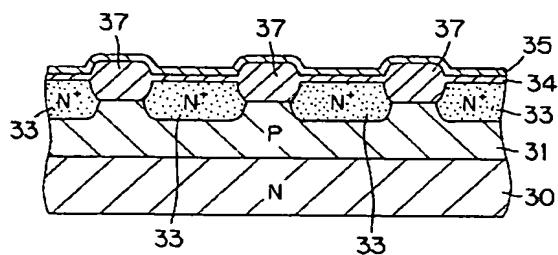
【図25】



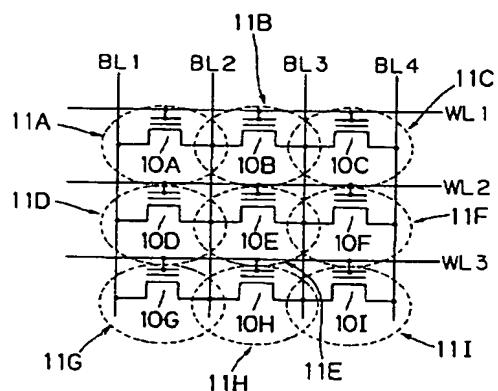
【図26】



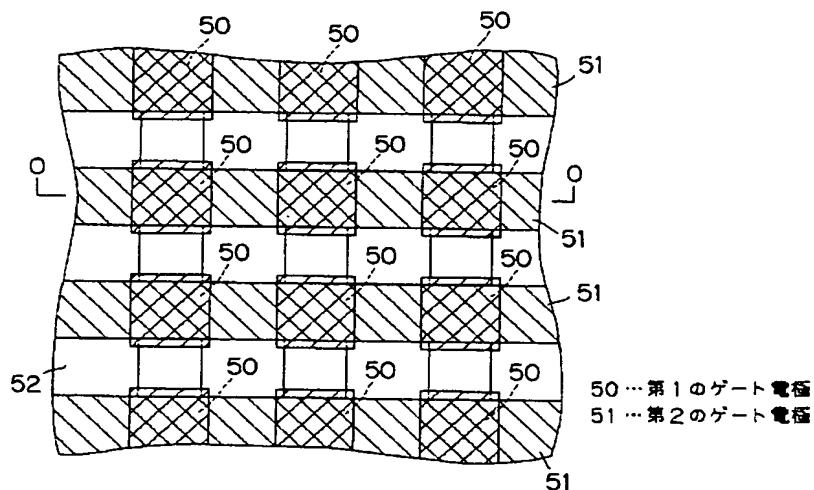
【図27】



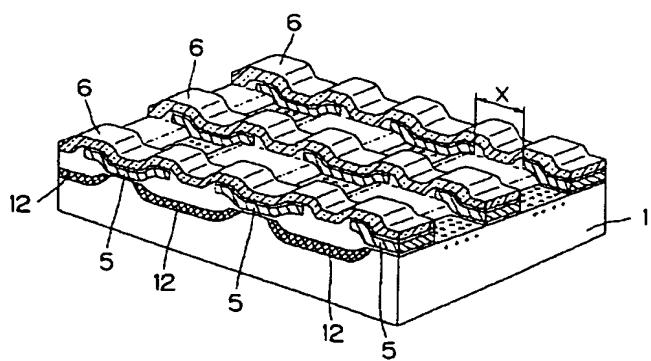
【図31】



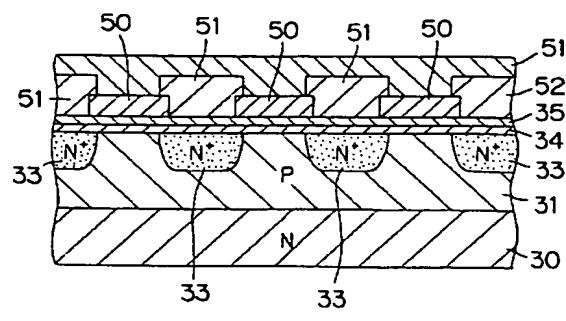
【図28】



【図32】



【図29】



- 30 …シリコン基板
- 33 …拡散層
- 34 …トンネル酸化膜
- 35 …トラップ膜
- 37 …LOCOS酸化膜
- 50 …第1のゲート電極
- 51 …第2のゲート電極